

# PATENT ABSTRACTS OF JAPAN

(11) Publication number : 10-303370  
 (43) Date of publication of application : 13. 11. 1998

(51) Int. Cl. H01L 27/04  
 H01L 21/822  
 H01L 21/8238  
 H01L 27/092  
 H01L 29/78  
 H03K 19/094

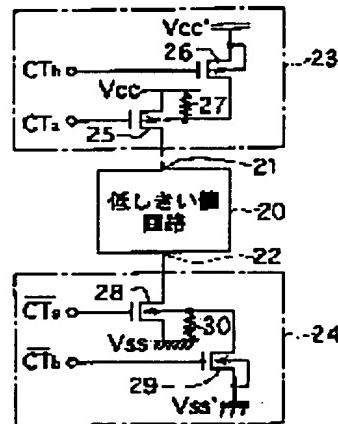
(21) Application number : 09-106877 (71) Applicant : FUJITSU LTD  
 (22) Date of filing : 24. 04. 1997 (72) Inventor : SAITO YOSHIHISA

## (54) SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

### (57) Abstract:

**PROBLEM TO BE SOLVED:** To realize both high-speed operation and power saving, reduce process cost and layout area, and eliminate a loss time to start of operation of a logic circuit, by providing first and second means for controlling substrate potential to control the potential of substrate for PMOS and NMOS transistors.

**SOLUTION:** This semiconductor integrated circuit device is provided with a first substrate potential control means consisting of a second PMOS transistor 26 and a resistance 27, and a second substrate potential control means consisting of a second NMOS transistor 29 and a resistance 30. Then, the potential of substrate of the PMOS transistor 26 is controlled to be high and that of the NMOS transistor 29 is controlled to be low by the first and second substrate potential control means, thereby increasing threshold values of the PMOS transistor 26 and the NMOS transistor 29 so as to turn off them completely. As a result, a power to a low threshold value circuit 20 is stopped for power saving.



### LEGAL STATUS

[Date of request for examination]  
 [Date of sending the examiner's decision of rejection]  
 [Kind of final disposal of application other than the examiner's decision of rejection or application converted]

[registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's  
decision of rejection]

[Date of requesting appeal against  
examiner's decision of rejection]

[Date of extinction of right]

Copyright (C) ; 1998, 2003 Japan Patent Office

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-303370

(43)公開日 平成10年(1998)11月13日

(51)Int.Cl.<sup>6</sup>  
H 01 L 27/04  
21/822  
21/8238  
27/092  
29/78

識別記号

F I  
H 01 L 27/04  
27/08  
29/78  
H 03 K 19/094  
B  
3 2 1 L  
D

審査請求 未請求 請求項の数 1 O L (全 6 頁) 最終頁に続く

(21)出願番号 特願平9-106877

(22)出願日 平成9年(1997)4月24日

(71)出願人 000005223  
富士通株式会社  
神奈川県川崎市中原区上小田中4丁目1番  
1号  
(72)発明者 斎藤 美寿  
神奈川県川崎市中原区上小田中4丁目1番  
1号 富士通株式会社内  
(74)代理人 弁理士 有我 軍一郎

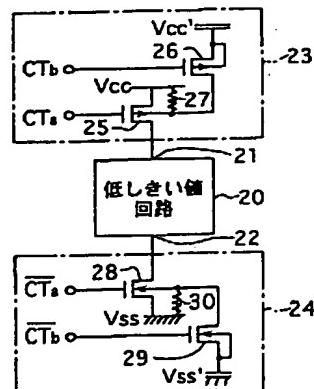
(54)【発明の名称】 半導体集積回路装置

(57)【要約】

【課題】 高速化と省電力性の両立を図りつつプロセスコストとレイアウト面積を削減し、しかも論理回路の動作開始までのロスタイムも少なくする。

【解決手段】 低しきい値回路と高電位電源線との間に挿入されたPMOSの基板電位を制御する第1の基板電位制御手段と、低しきい値回路と低電位電源線との間に挿入されたNMOSの基板電位を制御する第2の基板電位制御手段とを備える。PMOSとNMOSを低しきい値として作り込むことができプロセスコストを削減できる。低しきい値として動作する際のPMOSとNMOSの飽和電流は大きく小サイズで済みレイアウト面積も削減できる。基板電位はPMOSとNMOSだけを制御すればよく電位の切り換えを速やかに行うことができ、低しきい値回路の動作開始までのロスタイムを大幅に短縮できる。

一実施例の構成図



Vcc : 高電位電源線

Vss : 低電位電源線

20 : 低しきい値回路

21 : 高電位電源供給ノード

22 : 低電位電源供給ノード

25 : 第1のPMOSトランジスタ(PMOSトランジスタ)

26 : 第2のPMOSトランジスタ(第1の基板電位制御手段)

27 : 抵抗(第1の基板電位制御手段)

28 : 第1のNMOSトランジスタ(NMOSトランジスタ)

29 : 第2のNMOSトランジスタ(第2の基板電位制御手段)

30 : 抵抗(第2の基板電位制御手段)

1

## 【特許請求の範囲】

【請求項1】低しきい値回路と、該低しきい値回路の高電位電源供給ノードと高電位電源線との間に挿入されたPMOSトランジスタと、前記低しきい値回路の低電位電源供給ノードと低電位電源線との間に挿入されたNMOSトランジスタと、を備えた半導体集積回路装置において、前記PMOSトランジスタの基板電位を制御する第1の基板電位制御手段と、前記NMOSトランジスタの基板電位を制御する第2の基板電位制御手段と、を備えたことを特徴とする半導体集積回路装置。

## 【発明の詳細な説明】

$$\text{電力消費} = \text{クロック周波数} \times \text{負荷容量} \times \text{電源電圧} \dots \dots \dots$$

## 【0003】

【従来の技術】式より、電源電圧を下げる事は省電力化に有効である。実際に可搬型のOA機器では3.3V程度の低電源電圧を採用するケースが多い。しかし、単に低電源電圧化しただけでは回路の動作スピードが落ちて高速性が損なわれることから、例えば、低しきい値のトランジスタで回路（以下、低しきい値回路と呼ぶことにする）を構成することが行われるが、低しきい値トランジスタはサブレッショルド電流（※1）が大きいという欠点があるため、今度は省電力性が損なわれてしまい、結局、高速化と省電力性を両立できない。※1：ゲート電圧がしきい値電圧以下で、しかも表面が弱反転状態のときに流れるチャネル電流のこと。典型的なMOSトランジスタではしきい値が0.1V低下するとサブレッショルド電流が10倍増える。

【0004】高速化と省電力性の両立を意図した従来の半導体集積回路装置として、例えば、以下のものが知られている。

（1）マルチスレッショルド方式と呼ばれるもの（図6参照）

特開平6-29834号公報には、低しきい値回路1に対して、高電位電源線Vccから第1の高しきい値トランジスタ2を介して電源を供給すると共に、低電位電源線Vssから第2の高しきい値トランジスタ3を介して電源を供給する構成が示されている。第1の高しきい値トランジスタ2はPMOSトランジスタ、第2の高しきい値トランジスタ3はNMOSトランジスタであり、各トランジスタのゲートには一対の相補制御信号CTa、CTaバーが加えられている。

【0005】このような構成において、CTaをLレベル、CTaバーをHレベルにすると、第1及び第2の高しきい値トランジスタ2、3が共にオンし、低しきい値回路1にVcc、Vssが供給され、低しきい値回路1は動作を開始する。記述のとおり、低しきい値回路1の欠点はスタンバイ時の電力消費が大きいことであるが、この欠点はCTaをHレベル、CTaバーをLレベルにすることにより解消される。第1の高しきい値トランジスタ2と第2の高しきい値トランジスタ3が完全にオフ

## 【0001】

【発明の属する技術分野】本発明は、半導体集積回路装置に関し、特に高速化と省電力性の両立を意図した半導体集積回路装置に関する。近年、CPUの高速化が目覚ましく、クロックスピード200MHz超のものも実用化されている。こうしたCPUの性能をフルに引き出すためには周辺回路の高速化が不可欠であるが、単に高速化しただけではクロック周波数に比例（式 参照）して電力消費が増え、特にバッテリ駆動の機器にとっては不都合を否めない。

## 【0002】

し（しきい値が高くサブレッショルド電流が流れないため）低しきい値回路1への電源供給が絶たれるからである。

（2）基板電位コントロール方式と呼ばれるもの（図7参照）

特開昭60-229363号公報には、論理回路4（図では便宜的に基本的な論理回路であるCMOSインバータゲートを多段に接続した例を示してある）を構成するPMOSトランジスタ5、6とNMOSトランジスタ7、8のそれぞれの基板電位（※2）を制御する第1及び第2の基板電位制御部9、10を備えた構成が示されている。Vbpは第1の基板電位制御部9で作られたPMOSトランジスタ5、6の基板電位であり、Vbnは第2の基板電位制御部10で作られたNMOSトランジスタ7、8の基板電位である。※2：MOSトランジスタのソース電位Vsを0Vとしてチャネル中の一点から見ると、ゲート電位の正ポテンシャルはチャネルをターンオンさせるが、基板電位Vbは通常の動作条件において逆バイアスとなり、MOSトランジスタをターンオフさせる。なぜならVbはNMOSトランジスタにおいてVsよりも負であるからである。このため、基板はしばしば、第2のゲート（あるいはバックゲート）とみなされる。すなわち、Vbを増すとトランジスタは導通性を減じ、しきい値電圧を増加させる結果、トランジスタのエンハンスマントしきい値を増大させるように作用する。逆にVbを減じるとトランジスタは導通性を増し、しきい値電圧を減少させる結果、トランジスタのエンハンスマントしきい値を低下させるように作用する。

【0006】このような構成において、Vbpを低くVbnを高くすれば、論理回路4の各MOSトランジスタ5～8のしきい値が低くなり、低しきい値回路として動作して高速性が確保される一方、Vbpを高くVbnを低くすれば、論理回路4の各MOSトランジスタ5～8のしきい値が高くなり、サブレッショルド電流を抑制して省電力性が確保され、結局、高速化と省電力性の両立が図られる。

## 【0007】

【発明が解決しようとする課題】しかしながら、上述の

マルチスレッシュルド方式と基板電位コントロール方式は、高速化と省電力性の両立を図ることができる点で有益なもの、例えば、プロセスコストやレイアウト面積、あるいは、論理回路の動作開始までのロスタイムに着目すると未だ不十分であり、解決すべき技術課題がある。

【0008】すなわち、マルチスレッシュルド方式にあっては、低しきい値と高しきい値の2種類のトランジスタを作り込む必要があり、プロセスコストのアップを招くうえ、高しきい値のトランジスタは飽和電流が少なく応答性に欠けるため、高速性確保の点から必然的に高しきい値トランジスタのサイズ（特にチャネル幅）を大きくしなければならないが、そうするとレイアウト面積の増大を招くという不都合があるし、また、基板電位コントロール方式にあっては、論理回路全体の基板電位をコントロールするため、大きな基板容量を充放電しなければならず、したがって、基板電位の切り換え時間が長くなつて論理回路の動作開始までのロスタイムが大きくなるという不都合がある。

【0009】そこで、本発明は、高速化と省電力性の両立を図りつつ、プロセスコストとレイアウト面積を削減でき、しかも論理回路の動作開始までのロスタイムも少なくできる有益な回路技術の提供を目的とする。

#### 【0010】

【課題を解決するための手段】請求項1記載の発明に係る半導体集積回路装置は、低しきい値回路と、該低しきい値回路の高電位電源供給ノードと高電位電源線との間に挿入されたPMOSトランジスタと、前記低しきい値回路の低電位電源供給ノードと低電位電源線との間に挿入されたNMOSトランジスタと、を備えた半導体集積回路装置において、前記PMOSトランジスタの基板電位を制御する第1の基板電位制御手段と、前記NMOSトランジスタの基板電位を制御する第2の基板電位制御手段と、を備えたことを特徴とするものである。

【0011】これによれば、第1及び第2の基板電位制御手段により、PMOSトランジスタの基板電位を高く制御すると共にNMOSトランジスタの基板電位を低く制御すれば、PMOSトランジスタとNMOSトランジスタのしきい値が高くなり、PMOSトランジスタとNMOSトランジスタを完全にオフさせて低しきい値回路への電源供給を遮断し省電力性を確保できる。

【0012】しかも、非制御時におけるPMOSトランジスタとNMOSトランジスタの基板電位を低しきい値回路の各トランジスタの基板電位に一致させれば、これらPMOSトランジスタとNMOSトランジスタを低しきい値トランジスタとして作り込むことができ、1種類のトランジスタで済むため、プロセスコストを削減できるうえ、低しきい値トランジスタとして動作する際のPMOSトランジスタとNMOSトランジスタの飽和電流は大きく応答性も良好であるから、小サイズでよく、レ

イアウト面積も削減できる。また、基板電位は二つのトランジスタ（PMOSトランジスタとNMOSトランジスタ）だけを制御すればよく、基板容量がきわめて小さいから、電位の切り換えを速やかに行うことができ、低しきい値回路の動作開始までのロスタイムを大幅に短縮できる。

#### 【0013】

【発明の実施の形態】以下、本発明の実施例を図面に基づいて説明する。図1は本発明に係る半導体集積回路装置の一実施例を示す図である。まず、構成を説明する。図1において、20は低しきい値のMOSトランジスタで構成した論理回路（以下、低しきい値回路）であり、低しきい値回路20の高電位電源供給ノード21と低電位電源供給ノード22には、それぞれ第1の電位供給回路23と第2の電位供給回路24を介して高電位電源Vccと低電位電源Vssがオンオフ可能に供給されている。

【0014】第1の電位供給回路23は、ソースをVccに接続しドレインを低しきい値回路20の高電位電源

供給ノード21に接続した低しきい値の第1のPMOSトランジスタ25と、ソースをVccよりも高電位の電源Vcc'に接続しドレインを第1のPMOSトランジスタ25の基板（バックゲート）に接続した第2のPMOSトランジスタ26と、第1のPMOSトランジスタ25のバックゲートとVccの間に挿入された抵抗27とを備え、また、第2の電位供給回路24は、ソースをVssに接続しドレインを低しきい値回路20の低電位電源供給ノード22に接続した低しきい値の第1のNMOSトランジスタ28と、ソースをVssよりも低電位の電源Vss'に接続しドレインを第1のNMOSトランジスタ28の基板（バックゲート）に接続した第2のNMOSトランジスタ29と、第1のNMOSトランジスタ28のバックゲートとVssの間に挿入された抵抗30とを備えている。第2のPMOSトランジスタ26と抵抗27は請求項1に記載の第1の基板電位制御手段を構成し、第2のNMOSトランジスタ29と抵抗30は請求項1に記載の第2の基板電位制御手段を構成する。

【0015】なお、CTaとCTaバーは第1のPMOSトランジスタ25と第1のNMOSトランジスタ28のオンオフを制御する相補信号、CTbとCTbバーは第2のPMOSトランジスタ26と第2のNMOSトランジスタ29のオンオフを制御する相補信号である。このような構成において、CTbをHレベル（CTbバーをLレベル）にすると、第2のPMOSトランジスタ26と第2のNMOSトランジスタ29がオフし、第1のPMOSトランジスタ25と第1のNMOSトランジスタ28の基板電位は、それぞれ抵抗27、30を通してVcc、Vssで与えられ、低しきい値トランジスタと50して動作することになる。したがって、この状態で、C

T<sub>a</sub>をLレベル(CT<sub>a</sub>バーをHレベル)にすれば、第1のPMOSトランジスタ25と第1のNMOSトランジスタ28がオンし、低しきい値回路20にV<sub>cc</sub>とV<sub>ss</sub>が供給される。

【0016】一方、CT<sub>b</sub>をLレベル(CT<sub>b</sub>バーをHレベル)にすると、第2のPMOSトランジスタ26と第2のNMOSトランジスタ29がオンし、第1のPMOSトランジスタ25と第1のNMOSトランジスタ28の基板電位は、それぞれV<sub>cc'</sub>、V<sub>ss'</sub>で与えられ、V<sub>cc'</sub>>V<sub>cc</sub>、V<sub>ss'</sub><V<sub>ss</sub>であるから、第1のPMOSトランジスタ25と第1のNMOSトランジスタ28は高しきい値トランジスタとして動作(すなわちサブレッショルド電流が少ない)することになる。したがって、この状態で、CT<sub>a</sub>をHレベル(CT<sub>a</sub>バーをLレベル)にすれば、第1のPMOSトランジスタ25と第1のNMOSトランジスタ28が完全にオフし、低しきい値回路20への電源供給が遮断される。

【0017】以上述べたように、本実施例によれば、低しきい値回路20の動作時には第1のPMOSトランジスタ25と第1のNMOSトランジスタ28を低しきい値トランジスタとして動作させて高速性を確保できと共に、低しきい値回路20の非動作時(スタンバイ時)には第1のPMOSトランジスタ25と第1のNMOSトランジスタ28を高しきい値トランジスタとして動作させて省電力性を確保でき、高速性と省電力性の両立を図ることができるという効果に加え、以下に述べる

(イ)～(ハ)の有利な効果を奏することができる。

【0018】すなわち、(イ)第1及び第2のPMOSトランジスタ25、26と第1及び第2のNMOSトランジスタ28、29を低しきい値トランジスタとして作り込むことができ、したがって、1種類のトランジスタでよいから、プロセスコストを削減できる。(ロ)低しきい値トランジスクとして動作する際の第1のPMOSトランジスタ25と第1のNMOSトランジスタ28の飽和電流は十分に大きく、応答性が良好であるから、小サイズで済み、レイアウト面積も削減できる。(ハ)基板電位の制御は、第1のPMOSトランジスタ25と第1のNMOSトランジスタ28のバックゲートだけであるから、制御対象の基板容量がきわめて小さく、電位の切り換えを速やかに行うことができ、低しきい値回路20の動作開始までのロストタイムを局限することができる、という従来技術にない格別な効果が得られる。

【0019】なお、本実施例では、低しきい値回路20の構成を特に限定していないが、要は、低しきい値のMOSトランジスタで構成された論理回路であればよく、簡単なもの(1段のCMOSインバータゲート)から複雑なものまで幅広く適用できる。例えば、図2に示すように、並列接続したn個(図では2個)の低しきい値のPMOSトランジスタ31、32と、直列接続したn個の低しきい値のNMOSトランジスタ33、34を備

え、PMOSトランジスタ31のゲートとNMOSトランジスタ33のゲートに第1入力(A)を加えると共に、PMOSトランジスタ32のゲートとNMOSトランジスタ34のゲートに第n入力(B)を加え、PMOSトランジスタ32のドレンとNMOSトランジスタ33のドレンから出力(X)を取り出すようにしたNAND型の論理回路に適用してもよい。

【0020】又は、図3に示すように、直列接続したn個(図では2個)の低しきい値のPMOSトランジスタ35、36と、並列接続したn個の低しきい値のNMOSトランジスタ37、38を備え、PMOSトランジスタ35のゲートとNMOSトランジスタ37のゲートに第1入力(A)を加えると共に、PMOSトランジスタ36のゲートとNMOSトランジスタ38のゲートに第n入力(B)を加え、PMOSトランジスタ36のドレンとNMOSトランジスタ38のドレンから出力(X)を取り出すようにしたNOR型の論理回路に適用してもよい。

【0021】又は、図4に示すように、直列接続したm段(mは奇数)の低しきい値のCMOSインバータゲート39～42の1段目入力とm段目出力を接続すると共に、m段目出力をバッファ43(低しきい値のCMOSインバータゲート)から取り出すようにしたいわゆるリングオシレーターにも適用できる。又は、図5に示すように、1個のPMOSトランジスタ44とn個(図では3個)のNMOSトランジスタ45～47を直列接続して構成し、スタンバイ時にはイネーブル信号をLレベルにしてPMOSトランジスタ44をオン状態にし、n個の入力(A～C)のすべてがHレベルのときに出力(X)をLレベルにする、例えばメモリのワードデコーダに用いられるダイナミックNAND型の論理回路にも適用できる(但しこの場合にはV<sub>cc</sub>側の電源供給回路23は不要である)。

【0022】なお、図1の抵抗27、30をMOSトランジスタで構成してもよい。すなわち、抵抗27の代わりにPMOSトランジスタのソースードレイン抵抗を利用すると共に、抵抗30の代わりにNMOSトランジスタのソースードレイン抵抗を利用してよい。又は、PMOSトランジスタのゲートにCT<sub>b</sub>バーを加えると共に、NMOSトランジスタのゲートにCT<sub>b</sub>を加えれば、PMOS26がオンするときにはこの追加したPMOSトランジスタがオフし、NMOS29がオンするときにはこの追加したNMOSトランジスタがオフするので望ましい。

### 【0023】

【発明の効果】本発明によれば、高速化と省電力性の両立を図りつつ、プロセスコストとレイアウト面積を削減でき、しかも論理回路の動作開始までのロストタイムも少なくできる有益な回路技術を提供できる。

【図1】一実施例の構成図である。

【図2】一実施例の低しきい値回路の構成図(NAND型)である。

【図3】一実施例の低しきい値回路の構成図(NOR型)である。

【図4】一実施例の低しきい値回路の構成図(リングオシレータ)である。

【図5】一実施例の低しきい値回路の構成図(ダイナミックNAND型)である。

【図6】従来例の構成図(マルチスレッシュルド方式)である。

【図7】従来例の構成図(基板電位コントロール方式)である。

#### 【符号の説明】

Vcc : 高電位電源線

Vss : 低電位電源線

20 : 低しきい値回路

21 : 高電位電源供給ノード

22 : 低電位電源供給ノード

25 : 第1のPMOSトランジスタ(PMOSトランジスタ)

26 : 第2のPMOSトランジスタ(第1の基板電位制御手段)

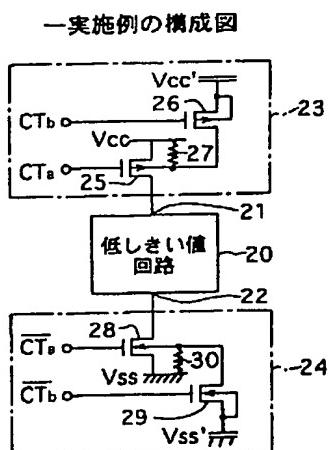
27 : 抵抗(第1の基板電位制御手段)

10 28 : 第1のNMOSトランジスタ(NMOSトランジスタ)

29 : 第2のNMOSトランジスタ(第2の基板電位制御手段)

30 : 抵抗(第2の基板電位制御手段)

【図1】



Vcc : 高電位電源線

Vss : 低電位電源線

20 : 低しきい値回路

21 : 高電位電源供給ノード

22 : 低電位電源供給ノード

25 : 第1のPMOSトランジスタ(PMOSトランジスタ)

26 : 第2のPMOSトランジスタ(第1の基板電位制御手段)

27 : 抵抗(第1の基板電位制御手段)

28 : 第1のNMOSトランジスタ(NMOSトランジスタ)

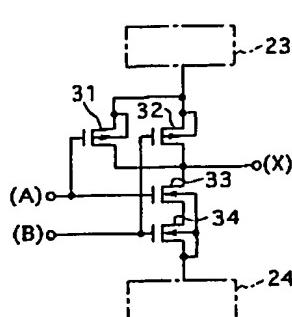
29 : 第2のNMOSトランジスタ(第2の基板電位制御手段)

30 : 抵抗(第2の基板電位制御手段)

【図2】

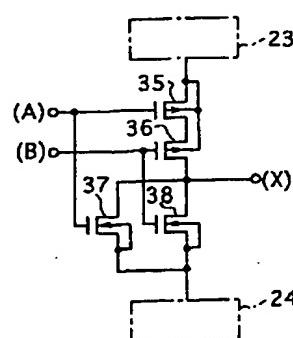
一実施例の低しきい値回路の構成図  
(NAND型)

従来例の構成図  
(マルチスレッシュルド方式)



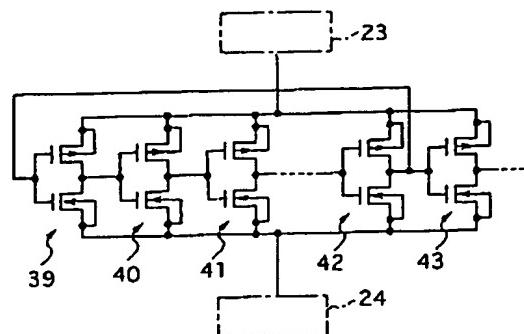
【図3】

一実施例の低しきい値回路の構成図  
(NOR型)



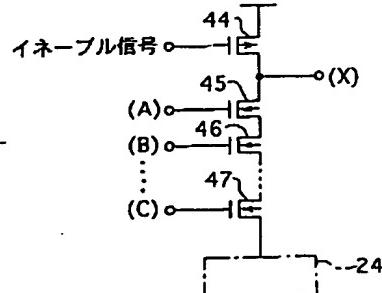
【図4】

一実施例の低しきい値回路の構成図  
(リングオシレータ)



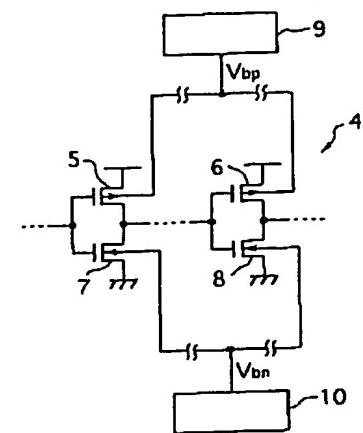
【図5】

一実施例の低しきい値回路の構成図  
(ダイナミックNAND型)



【図7】

従来例の構成図  
(基板電位コントロール方式)



フロントページの続き

(51) Int. Cl.<sup>6</sup>

識別記号

F I

H 03 K 19/094